

[MENU](#)
[SEARCH](#)
[INDEX](#)
[JAPANESE](#)

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-291161

(43)Date of publication of application : 30.11.1990

(51)Int.Cl.

H01L 27/04
H01L 21/76

(21)Application number : 01-111690

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing :

28.04.1989

(72)Inventor : NONAKA KAZUYUKI

AKIYAMA TAKEHIRO

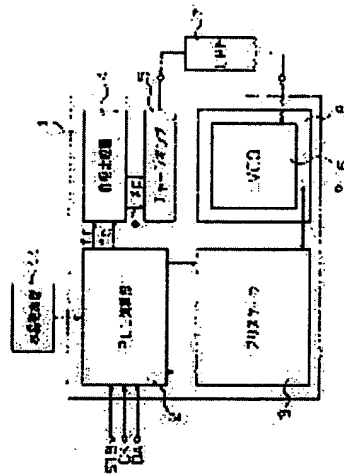
TAKEGAWA NORISHIGE

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enhance a purity of an output signal of a PLL synthesizer circuit by a method wherein a PLL control part and a voltage control oscillator are installed on a chip substrate so as to be separated in positions which are not faced in parallel and an isolation region is formed around the voltage control oscillator.

CONSTITUTION: A PLL synthesizer circuit of a BiCMOS constitution is formed in a rectangular chip 1; a PLL operation part 2 constituted of a CMOS logic circuit is formed in one corner part; a prescaler 3 of an ECL constitution by a bipolar transistor is formed so as to be adjacent to one side of the PLL operation part 2. A phase comparator 4 of a CMOS constitution and a charging pump 5 of a bipolar constitution are formed so as to be adjacent to the other side of the PLL operation part 2. A VCO (voltage control oscillator) 6 of a bipolar constitution is formed in a diagonal position of the PLL operation part 2 inside the chip 1; an LPF(low-pass filter) 7 constituted as an external circuit is connected between the VCO 6 and the charging pump 5. A P-type layer is formed as an isolation region 8 around the VCO 6.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-291161

⑬ Int. Cl.⁵

H 01 L 27/04
21/76

識別記号

A
Z

庁内整理番号

7514-5F
7638-5F

⑬ 公開 平成2年(1990)11月30日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 平1-111690

⑯ 出 願 平1(1989)4月28日

⑰ 発 明 者 野 中 和 幸

愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑰ 発 明 者 秋 山 岳 洋

愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑰ 発 明 者 竹 川 功 滋

愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑱ 出 願 人 富 士 通 株 式 会 社

神奈川県川崎市中原区上小田中1015番地

⑱ 出 願 人 富 士 通 ヴ ィ エ ル エ ス ア
イ 株 式 会 社

愛知県春日井市高蔵寺町2丁目1844番2

⑲ 代 理 人 弁 理 士 井 桁 貞 一 外 2 名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. デジタル信号を出力するPLL制御部(12)と、前記PLL制御部(12)の出力信号に基いて形成されたアナログ電圧値が入力され、該アナログ電圧値に基く周波数の信号を出力する電圧制御発振器(6)と、該電圧制御発振器(6)の出力信号を分周してPLL制御部(12)に出力するプリスケアラ(3)とを同一チップ(1)に収納した半導体集積回路であって、チップ(1)基板上においてPLL制御部(12)と電圧制御発振器(6)とを平行に対向しない位置に離間させて設け、電圧制御発振器(6)の周囲には分離領域(8)を形成したことを特徴とする半導体集積回路。

3. 発明の詳細な説明

〔 要 要 〕

PLLシンセサイザ回路を1チップに納めた半導体集積回路に関し、

BiCMOS構成によりPLL制御部とVCOとを1チップ化したPLLシンセサイザ回路の出力信号純度を向上させることを目的とし、

デジタル信号を出力するPLL制御部と、前記PLL制御部の出力信号に基いて形成されたアナログ電圧値が入力され、該アナログ電圧値に基く周波数の信号を出力する電圧制御発振器と、該電圧制御発振器の出力信号を分周してPLL制御部に出力するプリスケアラとを同一チップに収納した半導体集積回路であって、チップ基板上においてPLL制御部と電圧制御発振器とを平行に対向しない位置に離間させて設け、電圧制御発振器の周囲には分離領域を形成して構成する。

〔 産業上の利用分野 〕

この発明はPLLシンセサイザ回路を1チップ

に納めた半導体集積回路に関するものである。

自動車電話等の通信機器では近年小形化及び低消費電力化を図るために、電子回路部のIC化が進んでいる。このような通信機器ではそのIC化が最も遅れている同調回路についてもその小形化及び低消費電力化が要請されている。

〔従来の技術〕

従来、自動車電話等の同調回路の一部を構成するPLLシンセサイザ回路はデジタル信号を処理するPLL制御部を低消費電力及び高集積化に有利なCMOS論理回路で構成し、電圧制御発振器(以下VCOという)及びプリスケアラを高速動作に有利なバイポーラトランジスタを使用した回路で構成し、これらをBiCMOS構成で1チップに納めることにより小形化及び低消費電力化を図ったものが提案されている。

〔発明が解決しようとする課題〕

ところが、上記のようなPLLシンセサイザ回

— 3 —

路する分離領域が形成されている。そして、PLL制御部での多数のCMOSのオン・オフ動作に基いて電源電圧Vccがパルス状に変動すると、そのパルス成分がVCO領域のN型エピタキシャル層に伝達されるとともに、そのN型エピタキシャル層とP型分離領域との容量結合により各トランジスタにノイズとして伝達され、そのノイズがVCOの出力に混入する。

以上のように回路配線間に発生する容量成分及び電源を介してVCOの出力信号にノイズが混入すると、例えばVCOの出力信号が800MHzでPLL制御部の動作周波数が5KHzであると、第5図に示すように800MHz±5KHzの周波数でピークノイズPが発生して信号純度が低下する。そして、このようなピークノイズPはFM復調後にも5KHzのノイズ信号として出力されて音声信号を妨害するという問題点がある。

この発明の目的は、BiCMOS構成によりPLL制御部とVCOとを1チップ化したPLLシンセサイザ回路の出力信号純度を向上させること

— 5 —

路ではデジタル信号を処理するPLL制御部とアナログ回路で構成されるVCOが1チップ内に密接して配置されるため、PLL制御部から発生するデジタルノイズがVCOの出力信号に混入する。すなわち、PLL制御部は例えば5VのTTLレベルで多数のCMOSがオン・オフ動作してデジタル信号を出力するとともに、VCOは0～5V間の電圧信号でアナログ動作している。そして、PLL制御部を構成する回路配線とVCOを構成する回路配線とが隣接して平行にパターンニングされていると、両配線間に容量成分が発生し、その容量成分による相互誘導作用によりVCOにPLL制御部内のデジタル信号がノイズとして混入する。

一方、上記のようなBiCMOS構成のチップではN型エピタキシャル層上に各素子が形成され、そのN型エピタキシャル層に電源電圧が印加されてVccレベルとなる。また、多数のバイポーラトランジスタで構成されるVCOは各トランジスタ間の境界部にN型エピタキシャル層をP型層で分

— 4 —

にある。

〔課題を解決するための手段〕

第1図はこの発明の原理説明図である。すなわち、デジタル信号を出力するPLL制御部12と、前記PLL制御部12の出力信号に基いて形成されたアナログ電圧値が入力され、該アナログ電圧値に基く周波数の信号を出力する電圧制御発振器6と、該電圧制御発振器6の出力信号を分周してPLL制御部12に出力するプリスケアラ3とが同一チップ1に収納されてPLLシンセサイザ回路の主要部を構成している。そして、チップ1基板上においてPLL制御部12と電圧制御発振器6とは平行に対向しない位置に離間させて設けられ、電圧制御発振器6の周囲には分離領域8が形成されている。

〔作用〕

PLL制御部12と電圧制御発振器6の回路配線が平行に隣接することによるPLL制御部12

— 6 —

から電圧制御発振器 6 へのノイズの混入が防止され、チップ 1 のバルク層を介した PLL 制御部 12 から電圧制御発振器 6 へのノイズの混入は分離領域 8 で防止される。

[実施例]

以下、この発明を具体化した一実施例を第 2 図～第 4 図に従って説明する。

第 2 図に示すように、長方形のチップ 1 には BiCMOS 構成の PLL シンセサイザ回路が形成され、その一方隅部に CMOS 論理回路で構成される PLL 演算部 2 が形成され、その PLL 演算部 2 の一辺に隣接してバイポーラトランジスタによる ECL 構成のアリスケラ 3 が形成されている。PLL 演算部 2 の他辺に隣接して同じく CMOS 構成の位相比較器 4 とバイポーラ構成のチャージポンプ 5 が形成されている。

チップ 1 内において PLL 演算部 2 の対角位置にはバイポーラ構成の VCO 6 が形成され、その VCO 6 と前記チャージポンプ 5 との間には外部

- 7 -

て位相比較器 4 に出力する。

位相比較器 4 は設定信号 f_r と帰還信号 f_d とに基づいて両信号の周波数及び位相差に応じたパルス信号 ϕ_r 、 ϕ_d をチャージポンプ 5 に出力し、チャージポンプ 5 はそのパルス信号 ϕ_r 、 ϕ_d の周波数及び位相差に応じた出力信号を LPF 7 に出力する。なお、その出力信号はパルス成分を含んだ直流信号となり、その直流成分はパルス信号 ϕ_r 、 ϕ_d の周波数にともなって変動し、パルス成分はパルス信号 ϕ_r 、 ϕ_d の位相差によって変動する。

LPF 7 はチャージポンプ 5 の出力信号を平滑してパルス成分を除去した出力信号を VCO 6 に出力し、VCO 6 は LPF 7 の出力信号の電圧値に応じた周波数の出力信号を出力する。そして、VCO 6 の出力信号はアリスケラ 3 で分周されて前記 PLL 演算部 2 に帰還され、PLL 演算部 2 でさらに分周されて前記帰還信号 f_d として位相比較器 4 に出力される。

さて、上記のように構成された PLL シンセサ

- 9 -

回路として構成される LPF (ローパスフィルタ) 7 が接続される。

VCO 6 の周囲には P 型層が分離領域 8 として形成されている。その分離領域 8 は第 3 図に示すように N 型エピタキシャル層 9 の下層に形成される N 型埋込み層 10 を貫通する深さで形成されている。

上記のような PLL シンセサイザ回路の電氣的構成を第 4 図に従って説明すると、PLL 演算部 2 には外部回路からクロック信号 CK、周波数データ DA 及びストローブ信号 STB が入力され、周波数データ DA が入力された状態でストローブ信号 STB が入力されるとクロック信号 CK に基づいて周波数データが PLL 演算部 2 に書込まれる。すると、PLL 演算部 2 は水晶発振器 11 の基準周波数に基づいて周波数データ DA を分周して設定信号 f_r を位相比較器 4 に出力する。

また、PLL 演算部 2 にはアリスケラ 3 の出力信号が入力され、PLL 演算部 2 はそのアリスケラ 3 の出力信号を分周して帰還信号 f_d とし

- 8 -

ィザ回路では CMOS 構成の PLL 演算部 2 及び位相比較器 4 とバイポーラトランジスタによるアナログ回路で構成される VCO 6 とが離れて位置している。すなわち、PLL 演算部 2 と VCO 6 とはチップ 1 の対角位置に形成されているため、同 PLL 演算部 2 を構成する回路配線と VCO 6 を構成する回路配線とで平行に隣接する配線は存在しなくなる。また、位相比較器 4 と VCO 6 との間にはチャージポンプ 5 が介在されて互いに隣接していない。

従って、PLL 演算部 2 及び位相比較器 4 と VCO 6 との回路配線間での容量成分の発生が阻止されるため、PLL 演算部 2 及び位相比較器 4 のデジタル動作に基づくノイズの VCO 6 への混入が防止される。

また、VCO 6 はその周囲が分離領域 8 で取囲まれ、VCO 6 の内部回路と外部 N 型エピタキシャル層 9 との容量結合は完全に遮断される。従って、PLL 演算部 2 あるいは位相比較器 4 の電源変動に基づくノイズが N 型エピタキシャル層を介し

- 10 -

てVCO6に伝達されることはない。

この結果、PLL演算部2及び位相比較器4のデジタル動作に基づくノイズのVCO6出力への混入が防止されるので、同VCO6の出力信号純度を向上させることができる。

〔発明の効果〕

以上詳述したように、この発明はBiCMOS構成によりPLL制御部とVCOとを1チップ化したPLLシンセサイザ回路の出力信号純度を向上させることができる優れた効果を発揮する。

4. 図面の簡単な説明

第1図はこの発明の原理説明図、

第2図はこの発明を具体化したPLLシンセサイザ回路の回路配置図、

第3図はPLLシンセサイザ回路を構成するVCO周囲の分離領域を示す断面図、

第4図はPLLシンセサイザ回路のブロック図、

第5図は従来のVCOの周波数特性図である。

図中、

1はチップ、

3はプリスケラ、

6は電圧制御発振器、

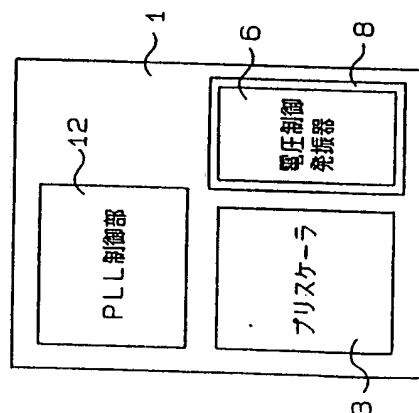
8は分離領域、

12はPLL制御部である。

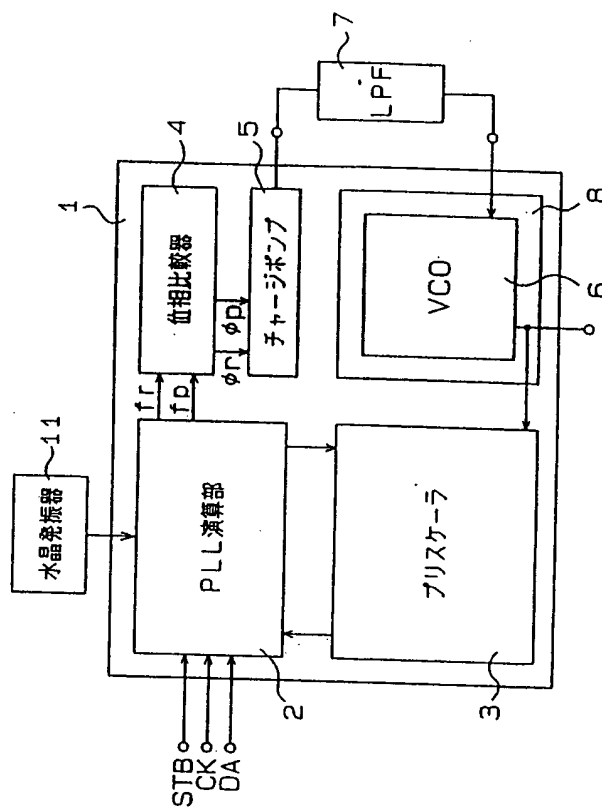
代 理 人 弁 理 士 井 桁 貞 一



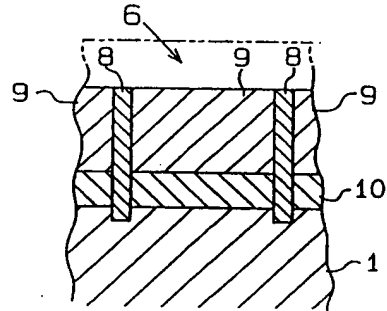
第 1 図



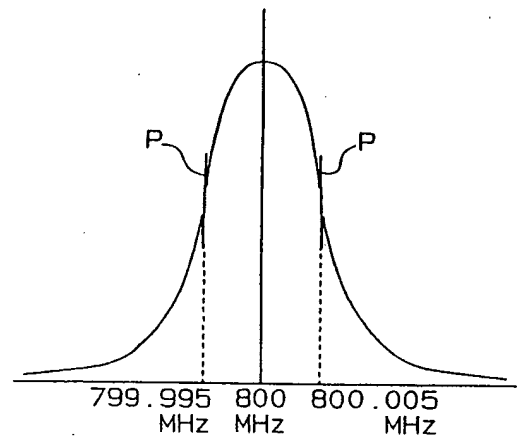
第 2 図



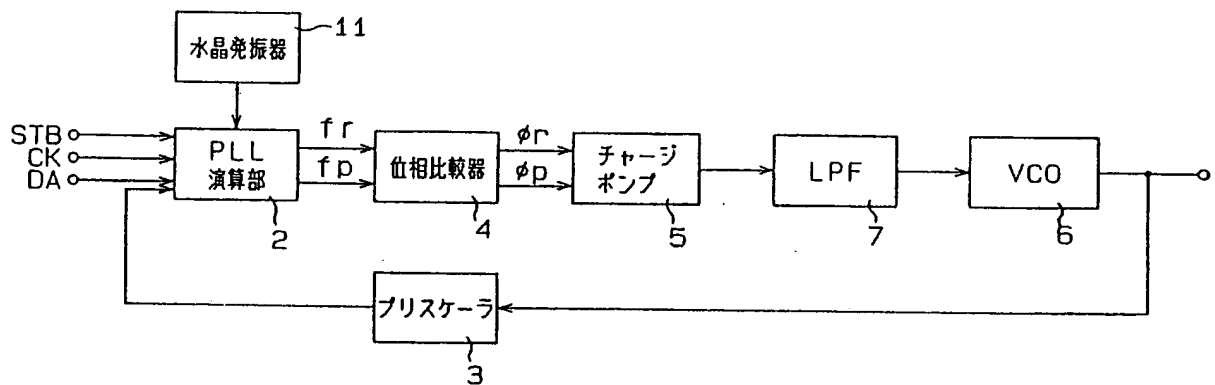
第 3 図
VCOの分離領域を示す断面図



第 5 図
従来のVCOの周波数特性図



第 4 図
PLLシンセサイザ回路のブロック図



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)